

Abstract

A thin-film transistor circuit used to drive a liquid crystal display device is disclosed, which circuit includes a plurality of circuit components which are arranged in the form of a matrix as to be connected with data lines for supplying an image signal and with address lines for supplying a gate pulse signal, whereby the circuit components control the picture element display in the unit picture element region of the LCD device. Each circuit component has a capacitor connected to the unit picture element region for temporarily storing the image signal, and a TFT transfer gate having a gate electrode connected to one of the address lines, a source electrode connected to one of the data lines, and a drain electrode connected to the capacitor. The transfer gate performs the switching operation in response to the gate pulse signal, thereby transferring the image signal to the capacitor. A compensating pulse signal which is synchronized with the gate pulse signal and has a polarity opposite to that of the gate pulse signal is applied to the capacitor, thereby preventing a decrease in the image signal voltage across this capacitor due to the parasitic capacitance component existing in the thin-film transistor.

引用例
1

⑬ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59-119390

⑤ Int. Cl.³
G 09 G 3/20
3/36
H 01 L 27/04

識別記号

庁内整理番号
8020-5C
7436-5C
8122-5F

⑬ 公開 昭和59年(1984) 7月10日

発明の数 1
審査請求 有

(全 10 頁)

⑭ 薄膜トランジスタ回路

① 特 願 昭57-232815
② 出 願 昭57(1982)12月25日
③ 発 明 者 鈴木幸治
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内
④ 発 明 者 池田光志
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社総合研究所
内
⑤ 発 明 者 青木寿男
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内
⑥ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑦ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

薄膜トランジスタ回路

2. 特許請求の範囲

(1) 薄膜トランジスタからなるトランスファ
ゲートを介して信号電圧が供給される容量性負
荷を有する回路において、前記容量性負荷に、
前記トランスファゲートを駆動するゲートパル
スと同期してこれと逆極性の補償パルスを付加
容量を介して印加する手段を備えたことを特徴
とする薄膜トランジスタ回路。

(2) 前記トランスファゲートは複数個マトリ
クス配列され、それらのゲートが行方向にアド
レスラインに共通接続され、ソースが列方向に
データラインに共通接続されてトランジスタマ
トリクスアレイを構成している特許請求の範囲
第1項記載の薄膜トランジスタ回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は液晶表示装置のトランジスタマトリ

クスアレイ等に用いられる薄膜トランジスタ回
路に関する。

〔発明の技術的背景とその問題点〕

近年、トランジスタをマトリクスアレイに構
成して駆動回路とした薄型表示装置が注目され
ている。この方法は基板上に設けられたトラン
ジスタマトリクスの各ドットに画像情報を蓄積
しておき、これら画像情報をマトリクスアレイ
上に設けられた液晶層、EL層又はEC層の各
ドットに対応した位置に表示を行ない、画像を
得ようとするものであり、従来の表示装置の主
流であったCRTを用いた方法に比べ、原理的に
はるかに薄型の表示装置が実現できる。又、
CRTの表示原理がけい光物質に高エネルギーの
電子ビームを衝突させ発光させるため、発光時
間がミリ秒オーダーであることから、全面が
常に表示されているわけではなく、人間の目の残
像現象を利用したものとなっており、フリッカ
ー雑音等があり見易さに問題があった。これに
対し、トランジスタマトリクスアレイを用いた

表示装置はほぼ全時間表示しており、CRTよりもより自然な画面を得ることができる。更にCRTに比べ、平坦な画面が得られること、高圧電源を必要としないこと、真空領域が必要でなく、全固体装置であるため小型軽量で十分な強度が得られることなどの特徴を有する。

第1図はトランジスタマトリクスアレイの基本構成を示す概略図である。表示画面はたて m 本、横 n 本のマトリクス状に分割され全部で $m \cdot n$ 個の単位画素に分割されている。各マトリクスの交点 C_{11} , C_{12} ... C_{ij} ... C_{mn} はメモリ機能をもつ画素回路が構成されており、各画素の画像情報が蓄えられ、この情報に従い、マトリクスアレイ上に設けられた液晶、EL又はEC層の各画素に対応した領域で表示が実現されるようになっている。

具体的な画素回路は第2図または第3図に示されるような単純な構成のものが使用されている。これは、高解細な表示画面を得るためには、マトリクスの大きさ $m \cdot n$ が非常に大きくなるた

なお、アドレスライン X_1 上の他のトランジスタも同時にON状態となり、それぞれそのときのデータライン上に用意された信号画像信号 $V(r_1)$, $V(r_2)$... $V(r_n)$ が各画素回路 C_{11} , C_{12} ... C_{1n} に蓄積される。同様にして X_{i+1} , X_{i+2} ...というふうにアドレスライン上の画像信号が次々に蓄積されていき、全画面の信号が書き込まれることになる。第4図は画素 C_{ij} , $C_{i+1,j}$ における画像信号 V_{di} , V_{di+1} がキャパシタに書き込まれる様子を模式的に示したものである。第4図の画像信号 $\phi_{1,j}$, $\phi_{i+1,j}$ において実線が理想的な動作時における動作波形を示している。すなわち、画素 C_{ij} の画像信号は時刻 t_{i1} から書き込みが開始され $t_{i1}+4T$ において書き込みが終了、同時にゲートパルス $V(x_i)$ は零となり次に1フレーム周期 T_f 後の時刻 t_{i2} で再び C_{ij} に画像信号書き込みが行なわれるまでは、 $\phi_{1,j}$ は画像信号 V_{di} に保持されることになる。

第3図はトランジスタとして31a, 31bの2つが用いられるもので、やはり画像信号は

め、高歩留りでマトリクスアレイを作成するためには、より単純な回路が望まれるからである。第2図は液晶駆動に用いられる画素回路で、実質的に直流駆動で表示を行なう場合、第3図はEL表示のときで、交流駆動表示を行なう場合によく用いられる回路である。第2図において21はトランスファゲートとしてのトランジスタ、22は液晶層、23は画像信号を蓄積するキャパシタである。トランジスタ21のゲートは第1番目のアドレスラインに接続され、ソース電極は第1番目のデータラインに接続されている。アドレスライン及びデータラインはそれぞれ $V(x_1)$, $V(r_1)$ の電源が接続されている。アドレスライン X_1 にトランジスタ21をON状態にするゲートパルスが入ったとき、トランジスタ21のチャネルが導通し、このときデータライン Y_1 に用意された画像信号がキャパシタ23に蓄積され、ゲート電圧 $V(x_1)$ が零の間その信号はキャパシタ23に記憶される。この蓄積された画像信号に対応して液晶22が駆動される。

第2図と同様な原理により、トランジスタ31aのスイッチングにより、キャパシタ33に蓄積される。画素 C_{ij} の動作タイミングは第2図の場合と同様にアドレスライン X_i 及びデータライン Y_j の電源 $V(x_i)$, $V(r_j)$ により制御される。第3図の場合、画像信号 $\phi_{i,j}$ は2つ目のトランジスタ31bのスイッチングを制御し、例えばEL層などの表示層32の駆動を行なう。第3図では第2図と異なり、表示層32の端子電圧 V_e として交流電圧を加えることができるため、EL層駆動が可能となる。

以上が第1図に示すトランジスタマトリクスアレイを用いた平面表示装置の動作原理である。しかし実際にはトランジスタは第2図および第3図に示すように、ゲート・ドレイン間に寄生容量24, 34を有しているため、ゲートパルスが零又はしきい値電圧以下となり、チャネルがOFFした瞬間に、キャパシタ23, 33に蓄えられた電圧 $\phi_{i,j}$ がこの寄生容量のために減少してしまい、第4図の $\phi_{1,j}$, $\phi_{i+1,j}$ の破線に示

すような電圧降下 ΔV が発生する。

さてトランジスタの半導体材料としては、結晶、多結晶及びアモルファス状態のSi, CdSe, Te, CdS等の多結晶材料等が用いられる。特に、近年では上記マトリクスアレイの面積化、低コスト化を実現する上で、低温プロセスで作成可能な多結晶半導体材料及びアモルファスSi等が注目されている。これらの薄膜半導体材料を用いた薄膜トランジスタは、電界効果移動度が結晶Si等のMOSトランジスタに比べかなり低いことから、第4図の時間 ΔT 内に画像信号を容量性負荷に十分書き込むためには、トランジスタのチャネル幅をかなり大きくして、チャネルのON抵抗を十分低くすることが必要となる。このような大きな薄膜トランジスタにおいては、寄生容量 $24, 34$ が無視できない程大きくなるため、上記蓄積電圧の減少量 ΔV は非常に大きくなってしまい、このような画像信号電圧の減少はトランジスタマトリクスアレイによる表示装置の動作を困難とし、特に低移動度半導体

材料による薄膜トランジスタマトリクスアレイの実現に大きな障害となっている。

〔発明の目的〕

本発明は上記の点にかんがみ、薄膜トランジスタからなるトランスファゲートを介して容量性負荷に信号電圧を書き込む場合の信号電圧の寄生容量に起因する低下を補償する手段を備えた薄膜トランジスタ回路を提供するものである。

〔発明の概要〕

第5図は本発明の基本構成を示す図である。

51は薄膜トランジスタからなるトランスファゲートであり、52はこのトランスファゲート51を介して信号電圧が供給される容量性負荷である。容量性負荷52は、例えば第2図のような画素回路ではキャパシタ23と液晶22の容量を含むものであり、第3図のような画素回路ではキャパシタ33とトランジスタ31bのゲート容量を含むものである。トランスファゲート51のゲート・ドレイン間には寄生容量53が入る。このような回路において本発明は、容

量性負荷52の節点55に付加容量54を介して $V(z)$ を供給する。

即ち第6図に示すように、トランスファゲート51をゲートパルス $V(x)$ で駆動して信号電圧 $V(x)$ を負荷52に供給するに当って、 $V(x)$ と同期してかつこれと逆極性の補償パルス $V(z)$ を付加容量54を介して供給し、これにより、負荷52に蓄えられた信号 ϕ の電圧降下を防止する。いま、時刻 $t=t_0+\Delta T$ の直前、即ちトランスファゲート51がOFFする直前における節点55にたまる電荷 Q_- は(1)式で表わされる。

$$Q_- = C_s V_d + C_p (V_d - V_g - V_{go}) + C_z (V_d + V_z - V_{z0}) \quad \dots (1)$$

又、時刻 $t=t_0+\Delta T$ の直後、即ちトランスファゲート51がOFFした直後における節点55の電荷 Q_+ は(2)式で表わされる。

$$Q_+ = C_s (V_d - \Delta V) + C_p (V_d - \Delta V - V_{go}) + C_z (V_d - \Delta T - V_{z0}) \quad \dots (2)$$

ただし、 C_s, C_p, C_z はそれぞれ負荷52、寄生容量53、付加容量54の容量値である。

$Q_- = Q_+$ であるから ΔV は

$$\Delta V = \frac{C_p V_g - C_z V_z}{C_s + C_p + C_z} \quad \dots (3)$$

となる。従って(3)式から、ゲートパルス $V(x) = V_g + V_{go}$ と逆極性の電圧で $V(z) = \frac{C_p}{C_z} V_g$ となる補償パルスを入れることにより、 ΔV の低下をなくすることができる。

本発明の回路を用いて前述のようなトランジスタマトリクスアレイを構成すると第7図のようになる。すなわち、各マトリクスアレイの画素回路 C_{ij} はゲートパルスを供給する従来のアドレスライン X_i 、信号電圧を供給するデータライン Y_j の他に、アドレスライン X_i と並行して補償パルスを供給するアドレスライン Z_i を設ける。ここで各画素回路 C_{ij} は第5図に示す回路が含まれている。

なお、本発明における薄膜トランジスタは、半導体材料の移動度が小さく、従って高速動作のためにチャネル幅をある程度以上大きくしなければならず、ゲート・ドレイン間の寄生容量

の影響が無視できないものであればよい。ドレイン端にゲートパルスおよび信号電圧と逆極性の補償パルスを印加するため、一般にソース、ドレインにpn接合を有するいわゆるMOSトランジスタ構造のものは除かれる。何故なら、pn接合があると補償パルスを与えたときに順バイアスとなってその効果が得られなくなるからである。ただし、素子領域が他から電気的に分離されて完全にフローティングになっていれば、MOSトランジスタ構造でも差支えない。

〔発明の効果〕

本発明によれば、薄膜トランジスタからなるトランスファゲートを介して容量性負荷に信号電圧を供給したときの信号電圧の低下を補償することができる。

第8図は本発明の回路を液晶表示の画素回路に適用したものである。第2図と異なる点は、付加容量25を設け、補償パルス $V(z_1)$ を印加するようにした点である。キャパシタ23と液晶22が第5図の容量性負荷52に相当する。

路に適用したもので、第3図と異なる点はやはり付加容量35を設け補償パルス $V(z_1)$ を印加するようにしたことである。キャパシタ33とトランジスタ31bのゲート容量が第5図の容量性負荷52に相当する。第11図は第10図のEL駆動用のトランジスタ31bのゲート電圧-チャネルコンダクタンス特性を用いて第10図の動作特性を説明するためのもので、 V_{th} はトランジスタ31bのしきい値電圧である。Aは理想的な駆動のための画像信号電圧でXはOFF状態、○印はON状態である。従来の例えば第3図の画素回路で動作させた場合、電圧降下 ΔV のためBに示すようなバイアス点の移動が生ずる場合がある。この状態ではトランジスタ31bがオンせずELが駆動されることはない。本発明によれば ΔV を零又は小さくすることができるため、AまたはCに示すような動作を可能にし、目的とする表示画像を得ることができる。

従来のマトリクスアレイの画素回路において、画像信号の電圧降下 ΔV は(3)式において $C_g = 0$

第9図は液晶層の電圧-透過率特性図を用いて第8図の動作特性を示すものである。 V_{th} は光の透過が始まる液晶のしきい値であり、図中Aは、 $V_{Lc} = 0$ (OFF状態、X印)、 $V_{Lc} = V_1$ (ON状態、○印)の二値により液晶を駆動する場合の理想的な動作状態である。従来の画素回路では電圧降下 ΔV が発生し、動作点が変化してB又はCのように変化してしまい場合がある。Bでは白黒が反転してしまい、Cでは目的の表示を行なうことができない。本発明を適用した第8図の画素回路ではこの ΔV を零又は小さくすることができ、AあるいはDに示すように目的の液晶表示を達成することが可能となる。第9図中Eは $V_{Lc} = 0$ 及び $V_{Lc} = \pm V_L$ のフレーム時間を周期とする交流駆動で動作させる場合の理想的な動作状態で、Fは ΔV のシフトにより本来の機能が達成できない場合である。本発明では、 ΔV を小さくさせE又はGに示すようにやはり目的の液晶表示を行なわせることが可能となる。

第10図は本発明の回路をEL表示の画素回

路に適用し、

$$\Delta V = \frac{C_p}{C_s + C_p} V_g$$

で決まる。従って低移動度半導体薄膜によるトランジスタでは、素子が大きくなるため、寄生容量 C_p が大きくなり、 ΔV を大きくする。又、マトリクスセルを高精細化した場合やキャパシタを液晶層自体で構成する場合には容量値 C_s が小さくなり、やはり ΔV を大きくしてしまう。又、 V_g を大きくすることも ΔV を大きくすることになり、 V_g を大きくしてトランジスタのON抵抗を十分低くすることが困難となる。本発明をこのような画素回路に適用すれば、マトリクスセルサイズ、トランジスタの大きさ、ゲートバイアス電圧、ドレインバイアス電圧等の影響を全く受けずにキャパシタに記憶される画像信号の電圧降下を十分補償することができ、信頼性の高いトランジスタマトリクスアレイを実現することができる。

〔発明の実施例〕

以下本発明の実施例を説明する。

第12図(a), (b)は本発明による一実施例の液晶表示装置の要部を示す投影平面図とそのA-A'断面図であり、第13図はそのトランジスタマトリクスアレイの等価回路である。これを製造工程に従って説明すると、絶縁性基板61上にまずアドレスラインと一体のゲート電極62(62₁, 62₂...)を形成し、その上にゲート絶縁膜となるSiO₂膜63を堆積し、この上にアモルファスSi膜64(64₁, 64₂...)を堆積、パターンニングして薄膜トランジスタ73を形成する。66(66₁, 66₂...)はデータラインY_jと一体のソース電極であり、67(67₁, 67₂...)はドレイン電極であり、ドレイン電極67は表示電極65(65₁, 65₂...)にそれぞれ接続されている。68(68₁, 68₂...)はゲート電極62に対向させた付加容量74の端子電極である。トランジスタマトリクスアレイの表面は、表示電極65の部分を除いてSiO₂膜69

でおおう。このように構成されたトランジスタマトリクスアレイを、透明導電膜からなる対向電極71が形成されたガラス基板70に対向させ、その間に液晶層72を封入して表示装置が完成する。第12図および第13図から明らかなように、アドレスラインX_iで駆動される画素の付加容量74の一端は隣接するアドレスラインX_{i-1}に接続される。即ち第7図に示す基本構成での補償パルス用アドレスラインZ₁, Z_{i+1}...としてゲートパルス用アドレスラインX₁, X_{i+1}...を代用している。また、信号電圧蓄積用のキャパシタは特別設けておらず、液晶層72自体の容量、付加容量74およびゲート・ドレイン間の寄生容量75の並列容量を信号電圧蓄積用としている。付加容量74はトランジスタ73がオン状態のときの寄生容量75の約2倍の容量値に設定してある。またマトリクスの大きさは50×50である。

この画素回路の動作を第14図を用いて説明すると、時刻t_iからt_{i+ΔT}間にデータライン

Y_jの画像信号V_dがトランジスタ73のドレイン電極端子に蓄積され、t_{i+ΔT}以後次にデータが書き込まれるまでに保持される。ここで、画像信号V_dの電圧降下を防止するため

t_i~t_{i+ΔT}+t_d間はアドレスラインX_iに大きさV_gのゲートパルスを与えると同時に、アドレスラインX_{i-1}にこれと逆極性で大きさ $\frac{1}{2}V_g$ の補償パルスを印加する。こうすることにより、(3)式からΔV~0とすることができる。なお、t_d<0の場合、ΔVが発生するのでt_d>0としなければならない。

なお、この補償パルスは、上記アドレスラインX_iに加わる大きさV_gのパルスと同じ幅でなくともよい。すなわちX_iにV_gを印加後、t_iとt_{i+ΔT}の間から補償パルスを印加しはじめ、t_{i+ΔT}+t_dまで印加すればよい。

このように、本実施例においては補償パルスを印加するためのアドレスラインを特に設ける必要がなく、従来のアドレスラインを共用して目的を達成できる。

第15図は本発明による他の実施例のトランジスタマトリクスアレイの等価回路である。マトリクスの大きさは50×50である。第13図と対応する部分には第13図と同一符号を付して詳細な説明を省くが、第13図と異なる点は、信号電圧を蓄積するキャパシタ76を設け、その一端を付加容量74とは反対側に隣接するアドレスラインに接続したことである。またこの場合、付加容量74はトランジスタ73がオン状態での寄生容量75の容量値と等しく設定されている。

このマトリクスアレイは第16図に示すようなパルス信号によって駆動される。すなわち、第1j番目の画素は時刻t_j~t_{j+1}間にV(r_j)の画像信号V_dをキャパシタ76に蓄積する。このとき、アドレスラインX_{i-1}にはアドレスラインX_iのゲートパルスと逆向きで、等しい波高値の補償パルスが印加されている。アドレスラインX_{i-1}におけるこの逆向き極性のパルスはt_{i+1}以後t_d間持続される。t_dは任意零としても動

作上問題はない。このとき液晶層72にかかる信号電圧 ϕ_i 波形は $t_{i+1} \sim t_{i+3}$ で V_d 以外の値をとるが、 $t_{i+3} + t_d$ 以降では V_d 値となり目的を達成する。 $t_{i+1} \sim t_{i+3}$ における波形の乱れは全体の保持時間からみればごくわずかであって実質的に問題はない。つまりこの実施例では、アドレスライン X_i がゲートパルスで駆動されているとき、アドレスライン X_{i-1} は補償パルス供給線となり、アドレスライン X_{i+1} は接地線として働いている。

このように付加容量を通じて補償パルスを印加することにより、蓄積される画像信号の電圧降下をほぼ補償することができる。完全に補償するためには、第16図において逆極性の補償パルスの波高値を少し調整してやればよい。本実施例においては、接地電位(零電位)を画素内に設ける必要がなく、マトリクスアレイをより簡便化でき、高歩留り化及び高精細化も可能となり信頼性の高いトランジスタマトリクスアレイを実現できる。

マトリクスアレイを用いた画素回路の構成例を示す図、第4図はその画素回路の動作を説明するための信号波形図、第5図は本発明の基本回路構成を示す図、第6図はその動作を説明するための信号波形図、第7図は本発明の回路を用いたトランジスタマトリクスアレイの基本構成を示す図、第8図は本発明を第2図の画素回路に適用した場合の回路構成図、第9図はその画素回路の動作特性を説明するための図、第10図は本発明を第3図の画素回路に適用した場合の回路構成図、第11図はその動作特性を説明するための図、第12図(a)、(b)は本発明の一実施例の液晶表示装置を示す投影平面図とそのA-A'断面図、第13図はその画素回路を示す図、第14図はその動作を説明するための信号波形図、第15図は他の実施例の画素回路を示す図、第16図はその動作を説明するための信号波形図である。

51…トランスファゲート(薄膜トランジスタ)、52…容量性負荷、53…寄生容量、

なお本発明は上記実施例に限定されるものではない。例えば、トランジスタの半導体材料はアモルファスSiに限らず、多結晶又は結晶シリコンでもよく、更にCdSe、CdS等の半導体材料であってもよい。又、付加容量の値は任意であって付加容量に印加する補償パルスの大きさを調整することにより本発明の効果は十分達成できる。又、第11番目の画素回路の付加容量に印加する補償パルスを送るのに、本実施例のように1-1番目のアドレスラインを用いることは必ずしも必要ではなく、1番目のアドレスライン以外であればどのアドレスラインでもよい。また第15図において、第11番目のキャパシタ76の一端をアドレスラインで接地する場合、1+1番目のアドレスラインに限定されず、ゲートパルスと補償パルスを送るアドレスライン以外であればどれでもよい。

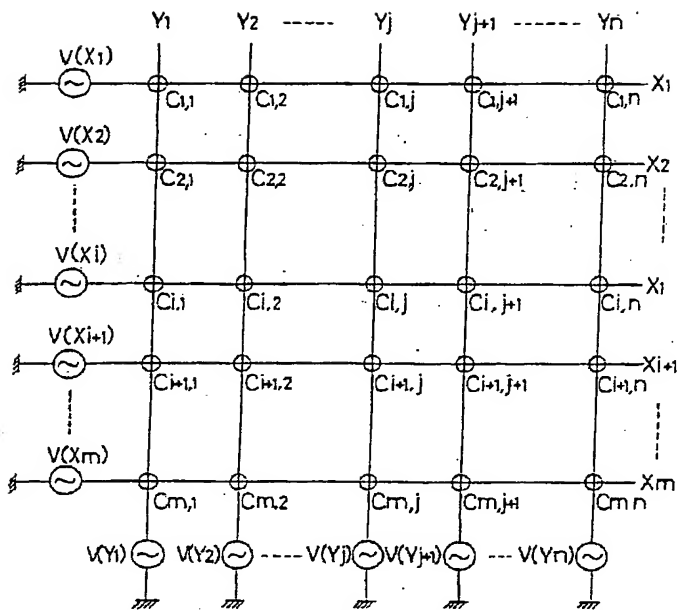
4. 図面の簡単な説明

第1図は一般的ナトランジスタマトリクスアレイの等価回路図、第2図および第3図はこの

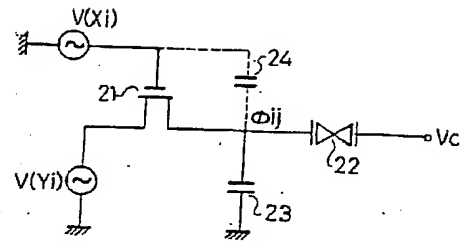
54…付加容量、 $V(x)$ …ゲートパルス、 $V(y)$ …信号電圧、 $V(z)$ …補償パルス、61…絶縁性基板、62(621, 622, …)…ゲート電極(兼アドレスライン)、63…SiO₂膜、64(641, 642, …)…アモルファスSi膜、65(651, 652, …)…表示電極、66(661, 662, …)…ソース電極(兼データライン)、67(671, 672, …)…ドレイン電極、68(681, 682, …)…付加容量端子電極、69…SiO₂膜、70…ガラス基板、71…対向電極、72…液晶層、73…薄膜トランジスタ(トランスファゲート)、74…付加容量、75…寄生容量、76…キャパシタ。

出願人代理人 弁理士 鈴 江 武 彦

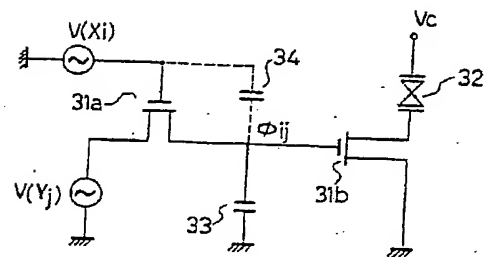
第 1 図



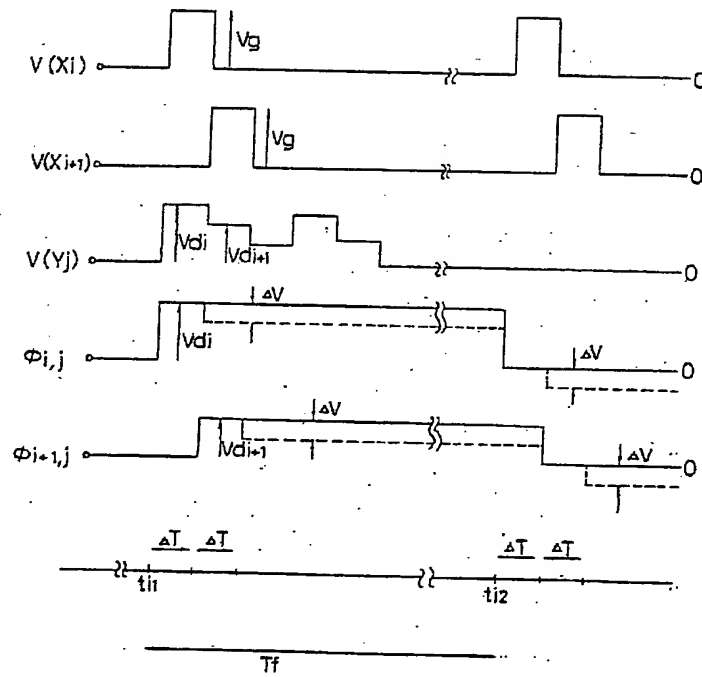
第 2 図

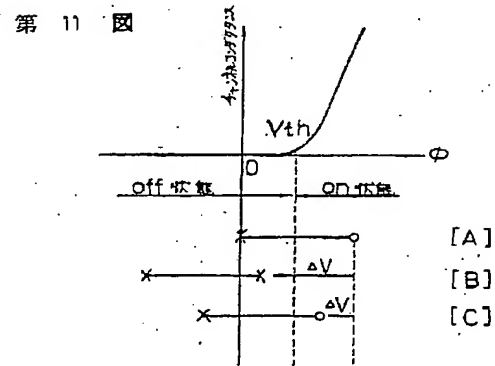
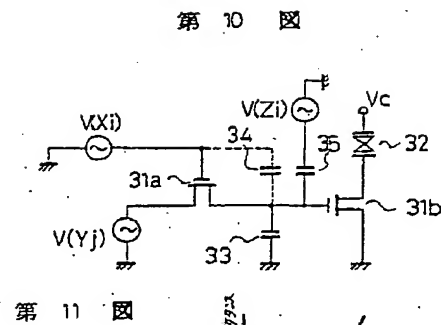
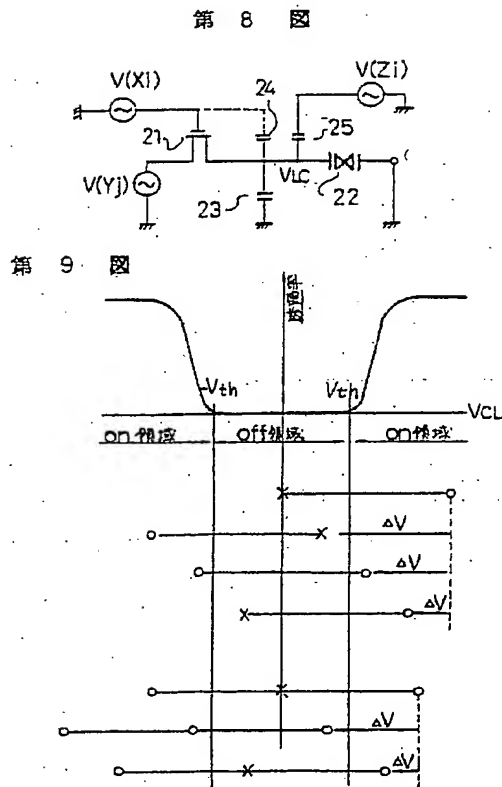
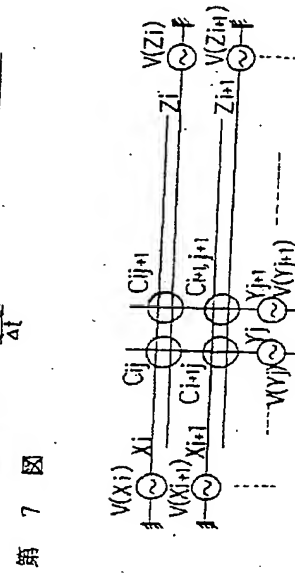
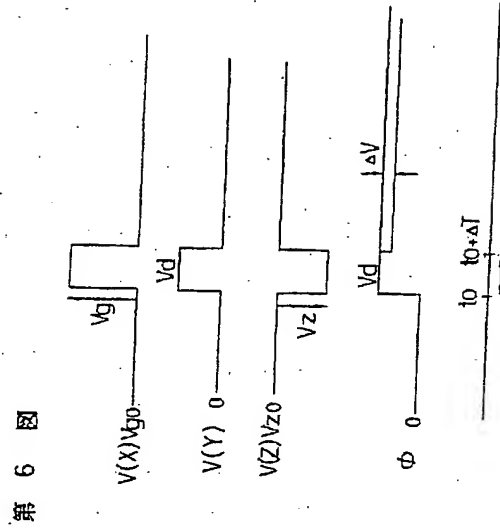
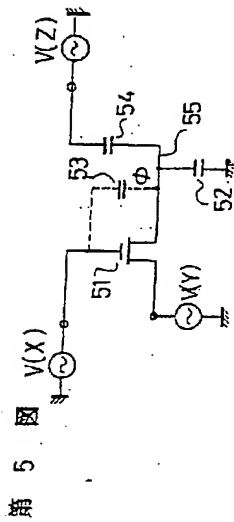


第 3 図

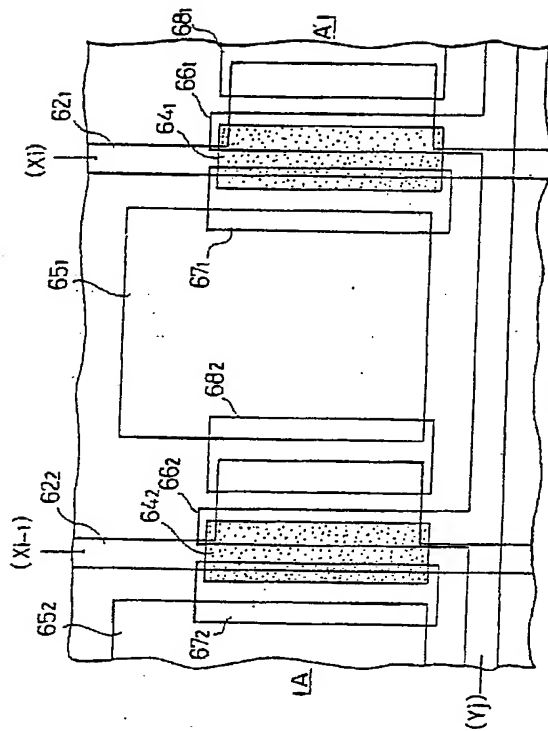


第 4 図

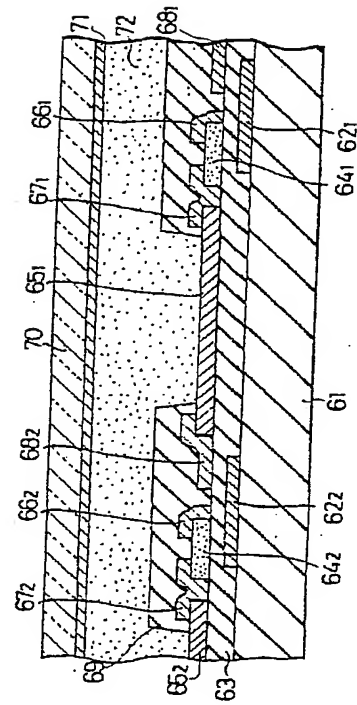




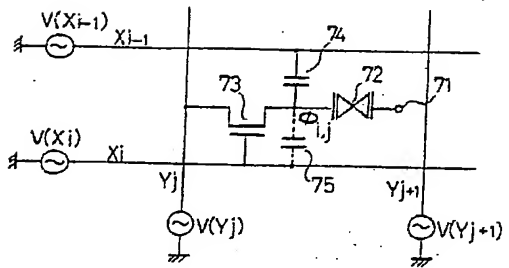
第 12 圖
(a)



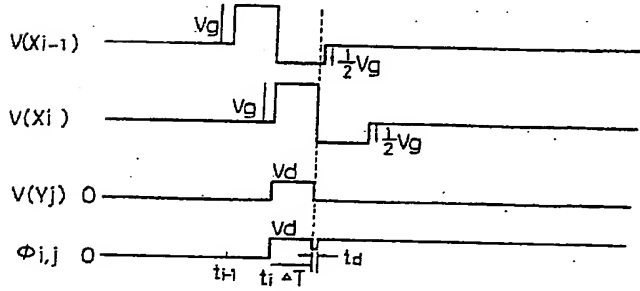
(b)



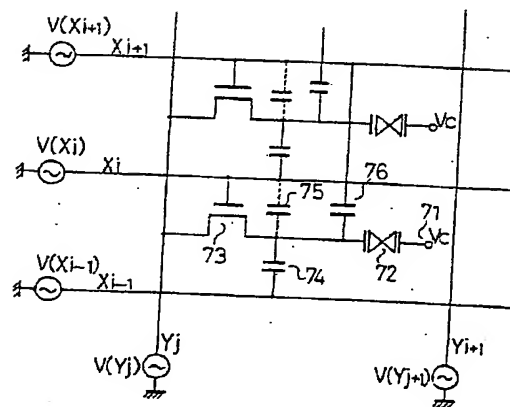
第 13 圖



第 14 圖



第 15 圖



第 16 図

